

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-258976

(43) 公開日 平成9年(1997)10月3日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 9/06	5 4 0		G 0 6 F 9/06	5 4 0 L
11/28	3 3 0		11/28	3 3 0 B

審査請求 未請求 請求項の数 3 F D (全 5 頁)

(21) 出願番号 特願平8-92057

(22) 出願日 平成8年(1996)3月21日

(71) 出願人 000003104

東洋通信機株式会社

神奈川県高座郡寒川町小谷2丁目1番1号

(72) 発明者 山田 真

神奈川県高座郡寒川町小谷2丁目1番1号

東洋通信機株式会社内

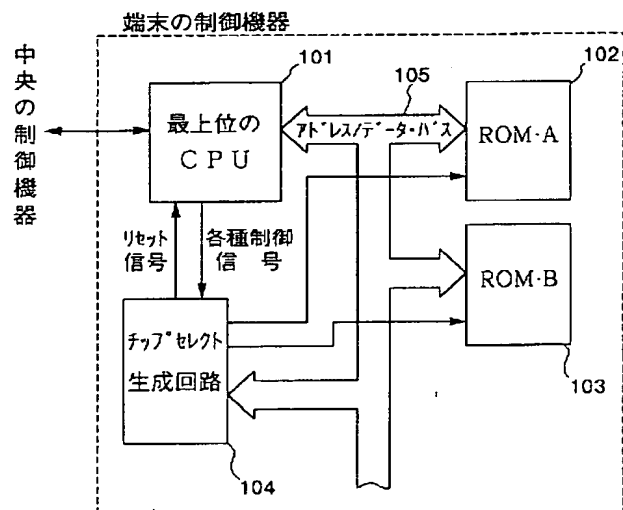
(74) 代理人 弁理士 鈴木 均

(54) 【発明の名称】 PROM切替制御回路

(57) 【要約】

【課題】 システムの制御部の最上位のCPUのフラッシュメモリ内のプログラムの更新を可能にする。

【解決手段】 最上位のCPUと、このCPUを動作させるプログラムを格納するプログラム領域およびこのCPUを動作させる新しいプログラムを格納するダウンロード領域をそれぞれ有する第一のPROMおよび第二のPROMと、前記CPUにリセット信号を出力すると共に新しいプログラムを書き込むべき前記第一若しくは第二のPROMを前記CPUからの制御信号により切り替えるセクタとで構成され、前記CPUが復帰したとき選択されているPROMのプログラム領域のプログラムで前記CPUを動作させる。



【特許請求の範囲】

【請求項 1】最上位の CPU と、この CPU を動作させるプログラムを格納するプログラム領域およびこの CPU を動作させる新しいプログラムを格納するダウンロード領域をそれぞれ有する第一の PROM および第二の PROM と、前記 CPU にリセット信号を出力すると共に前記第一若しくは第二の PROM を前記 CPU からの制御信号により切り替えるセクタとで構成され、前記 CPU が復帰したとき選択されている PROM のプログラム領域のプログラムで前記 CPU を動作させることを特徴とする PROM 切替制御回路。

【請求項 2】前記第一の PROM と第二の PROM は同一容量である請求項 1 記載の PROM 切替制御回路。

【請求項 3】前記セクタは、前記 CPU がプログラムを読み出すアドレス空間をアクセスするとき 1 になるプログラム領域アドレス選択信号と、コマンドにより送られてくる新しいプログラムを書き込むアドレス空間をアクセスするとき 1 になるダウンロード領域アドレス選択信号とを受け、前記 ROM を選択する信号を出力する第一乃至第四の AND 回路と、これらの AND 回路の出力を受け、前記 ROM を選択するチップセレクト信号を出力する第一および第二の NOR 回路と、CPU が前記 PROM のいずれかを PROM として切り替えを指示するために与えられるある 1 レジスタのアドレスを示す ADDRESS 信号と、前記 CPU がプログラムの書き込み動作を行うときに与えられる負論理信号である WR 信号とを受け、それらの NAND 論理信号を出力する NAND 回路と、前記 ADDRESS 信号の 1 レジスタ上の任意の 1 ビットであって、前記 PROM のいずれかを PROM として切り替えを指定する信号である SELECT 信号と、前記 NAND 回路からの NAND 論理信号とを受け、PROM を選択する信号を前記第一乃至第四の AND 回路に出力するフリップフロップ回路と、前記 NAND 回路からの NAND 論理信号を受け、前記 CPU のリセット時間以上の時間だけ前記 CPU をリセットする信号である CPURESET 信号を前記 CPU に出力するタイマとで構成されることを特徴とする請求項 1 記載の PROM 切替制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、組み込み型制御機器に関し、特に有線あるいは無線によって中央の制御機器と接続されている端末の制御機器に関する。

【0002】

【従来の技術】従来、組み込み型制御用 CPU のプログラムはワンタイムの ROM に書き込まれており、従って、バージョンアップあるいはバグ改修のためにプログラムの中身を変更する場合は、装置が変わる毎に ROM を付け変える必要があった。近年、書換え可能な ROM (フラッシュメモリ) が開発されたため、有線あるいは

無線によって中央の制御機器に接続されている遠隔地の装置では、送信されたプログラムをフラッシュメモリに書き込むことによりプログラムの更新 (アップデート) が容易になった。しかし、プログラム ROM (PROM) の切り替えのための動作は、その装置内のより上位の CPU により制御してもらう必要があり、従って、最上位の CPU の ROM については、上記の利点が適用できないという不都合があった。

【0003】図 5 は、従来の端末の制御機器の構成を示すブロック図である。図 5 において、符号 1 はローカル CPU であり、これには CPU または DSP などが用いられる。2、3 は、ローカル CPU 1 の ROM 1、ROM 2 で、フラッシュメモリが用いられる。4 は最上位の CPU である。ローカルの CPU 1 と最上位の CPU 4 はアドレス/データバス 5 によって接続されているが、通常時にはゲート 6 によってバス上の信号は遮断されている。7 は最上位の CPU 4 の PROM である。ローカル CPU の ROM 1、ROM 2 は、ローカルのアドレス/データバス 8 により接続されている。9 は、ローカルの CPU 1 がローカル CPU の ROM 1、ROM 2 を選択するときの切り替えスイッチとしてのセクタである。

【0004】この従来装置において、ローカル CPU の ROM 1、ROM 2 を書き替えるときには、図示しない中央の制御機器から最上位の CPU 4 にコマンドが送られる。これにより最上位の CPU 4 はゲート 6 を開け、またローカルの CPU 1 にリセット信号および選択信号を送出する。リセット信号からローカルの CPU 1 が復帰する間に、選択信号によりセクタ 9 が切り替えられ、ローカル CPU の ROM 1、ROM 2 のいずれかが選択され、中央の制御機器から送信されてくるプログラムを、選択された使用していない方の ROM に書き込む。上記のように、従来の制御回路においては、ローカル CPU について PROM としてフラッシュメモリを使用することにより、プログラムの更新が遠隔地からの操作により可能になる。

【0005】

【発明が解決しようとする課題】しかしながら、このような従来の制御回路においては、上記のように、ROM の切り替えに上位の CPU からの操作が必要になるが、最上位の CPU についてはそのための CPU は存在せず、遠隔地からプログラムを更新することは出来ないという問題点があった。

【0006】

【課題を解決するための手段】上記課題を解決する為、本発明は、最上位の CPU と、前記 CPU を動作させるプログラムを格納するプログラム領域と前記 CPU を動作させる新しいプログラムを格納するダウンロード領域をそれぞれ有する第一の PROM および第二の PROM と、前記 CPU にリセット信号を出力すると共に新しい

プログラムを書き込むべき前記第一若しくは第二のPROMを前記CPUからの制御信号により切り替えるセクタとで構成され、前記CPUが復帰したとき選択されているPROMのプログラム領域のプログラムで前記CPUを動作させることを特徴とする。前記セクタは、前記CPUがプログラムを読み出すアドレス空間をアクセスするとき1になるプログラム領域アドレス選択信号と、コマンドにより送られてくる新しいプログラムを書き込むアドレス空間をアクセスするとき1になるダウンロード領域アドレス選択信号とを受け、前記PROMを選択する信号を出力する第一乃至第四のAND回路と、これらのAND回路の出力を受け、前記PROMを選択するチップセレクト信号を出力する第一および第二のNOR回路と、CPUが前記PROMのいずれかをPROMとして切り替えを指示するために与えられるある1レジスタのアドレスを示すADDRESS信号と、前記CPUがプログラムの書き込み動作を行うときに与えられる負論理信号であるWR信号とを受け、それらのNAND論理信号を出力するNAND回路と、前記ADDRESS信号の1レジスタ上の任意の1ビットであって、前記PROMのいずれかをPROMとして切り替えを指定する信号であるSELECT信号と、前記NAND回路からのNAND論理信号とを受け、PROMを選択する信号を前記第一乃至第四のAND回路に出力するフリップフロップ回路と、前記NAND回路からのNAND論理信号を受け、前記CPUのリセット時間以上の時間だけ前記CPUをリセットする信号であるCPURESET信号を前記CPUに出力するタイマとで構成されることを特徴とする。

【0007】

【発明の実施の形態】以下、本発明によるPROMを切り替える制御回路の一実施例を図につき説明する。図1は本発明の一実施例を示すブロック図である。図において、101は最上位のCPU、102、103は、それぞれ、同一容量のプログラム領域とダウン領域とを有するフラッシュメモリ（ROM-A、ROM-B）、104はCPUからの制御信号により新しいプログラムを書き込むROMを選択切り替えると共に前記CPU101にリセット信号を送出する前記セクタとしてのチップセレクト生成回路である。105は、前記諸要素を接続するアドレス/データバスである。図2は前記チップセレクト生成回路の詳細を示す構成図である。図において、201乃至204は、図示しないCPU101からのプログラム領域アドレス選択信号およびダウンロード領域選択信号を受けるAND回路で、プログラム領域アドレス選択信号は、CPU101がプログラムを読み出すアドレス空間をアクセスするとき"1"になり、またダウンロード領域選択信号は、コマンドによって送信されてくる新しいプログラムを書き込むアドレス空間をアクセスするとき"1"になる。

【0008】205は、前記AND回路201乃至204と共に、CPU101からの指示に従ってプログラムROM102、103のいずれかを選択するフリップフロップである。

【0009】206は、CPU101からのPROMの切り替えを指示するADDRESS信号とCPU101が書き込み動作を行うとき出力される負論理信号WRとを受け、プログラムの切り替えを指示する信号を前記フリップフロップに出力するNAND回路である。207は、CPU101の切り替え動作に際してNAND回路206から出力される信号パルスにより、CPU101に、そのリセット時間以上のある一定時間だけCPURESET信号を出力するタイマである。208、209は、それぞれ、AND回路201と202および203と204からの指示に従ってROM-Aチップセレクト信号およびROM-Bチップセレクト信号を出力し、ROM102（ROM-A）、103（ROM-B）を選択するNOR回路である。

【0010】図2の回路の動作は次のようになる。先ず、図1において、CPU101はPROM102（ROM-A）をPROMとして動作しているとする。すなわち、図2において、フリップフロップ205の、AND回路201乃至204への出力Qが0であり、CPU101がプログラム領域アドレス選択信号1によりプログラム領域にアクセスすると、ROM-Aチップセレクト信号がNOR回路208から出力される。これにより、ROM102（ROM-A）はPROMとして動作することになる。この状態では、CPU101が、ダウンロード領域アドレス選択信号1によりダウンロード領域にアクセスすると、NOR回路209からROM103（ROM-B）のチップセレクト信号が出力される。この状態で、CPU101はダウンロード領域にあるROM103（ROM-B）に新しいプログラムを書き込む。

【0011】次に、CPU101は、前記ADDRESSのSELECTに該当するビットに1を書き込む。このとき、WRは、CPU101が書き込み動作を行うため負論理になる。この信号とADDRESS信号がNAND回路206に入力され、NAND回路206からはタイマ207およびフリップフロップ205に信号が出力される。タイマ207からはCPU101にリセット信号が出力される。また、フリップフロップ205のQからの出力は1になる。フリップフロップ205からの出力1によりAND回路201乃至204の一方の入力は前記の状態から反転される。これにより、プログラム領域のROMがROM103（ROM-B）になり、ダウンロード領域のROMがROM102（ROM-A）になる。前記タイマ207からのリセット信号によりリセットされたCPU101は所定の時間経過すると復旧し、ROM103（ROM-B）をPROMとして動作

5

する。以上の動作によりCPU101はROM102 (ROM-A)をPROMとして動作する状態からROM103 (ROM-B)をPROMとして動作する状態に切り替わり、動作する。同様に、この状態からROM102 (ROM-A)をPROMとして動作させるように切り替えるときは、ROM102 (ROM-A)とROM103 (ROM-B)を置き換え、SELECTへの書き込みを0にすればよい。

【0012】図3は図2に示したプログラム領域アドレス選択信号とダウンロード領域アドレス選択信号を生成する回路の一例を示す回路構成図である。図において、301はNOT回路で、その動作は次のようになる。例えば、NOT回路301に入力されるCPU101のアドレス/データバスをA0乃至A17までとすると、NOT回路301からはプログラム領域アドレス選択信号0乃至1FFFFH番地が生成出力され、また入力側からダウンロード領域アドレス選択信号20000乃至3FFFFH番地が生成出力される。

【0013】図4は最上位のCPU101から見たメモリ領域を示す説明図である。図において、401は20000Hから3FFFFHまでのダウンロード領域で、402は0Hから1FFFFHまでのプログラム領域である。ダウンロード領域では、SELECT=0のときはROM103 (ROM-B)が選択され、SELECT=1のときはROM102 (ROM-A)が選択される。また、プログラム領域では、SELECT=0のときはROM102 (ROM-A)が選択され、SELECT=1のときはROM103 (ROM-B)が選択される。CPU101は常にプログラム領域を読み出して動作するが、SELECTによりその内容の入ったROMを外部で切り替えることによりプログラムの更新が可能になる。

【0014】

【発明の効果】以上示したように、本発明によれば、PROMを切り替える制御回路を、同一容量のプログラム領域とダウンロード領域とを有する二つのフラッシュメモリを設け、これらの切り替えをCPU自身の指示で行い、切り替えのためのアクセス信号を利用してCPUにリセット信号を出力するように構成することにより、最

6

上位のCPUに対してもプログラムの更新を行うことが出来る効果があり、またプログラムを更新する際に遠隔地からの制御によって行うのでシステムをシャットダウンする必要がなく、制御部が関係しないサービスに対しては動作を中止しなくて済む効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図である。

【図2】本発明の要部であるチップセレクト生成回路(セクタ)の詳細を示す回路構成図である。

【図3】図2で示したプログラム領域アドレス選択信号とダウンロード領域アドレス選択信号を生成する回路の一例を示す回路構成図である。

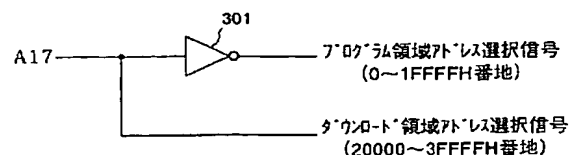
【図4】図1に示した最上位のCPUから見たメモリ領域を示す説明図である。

【図5】従来の端末の制御機器の構成を示すブロック図である。

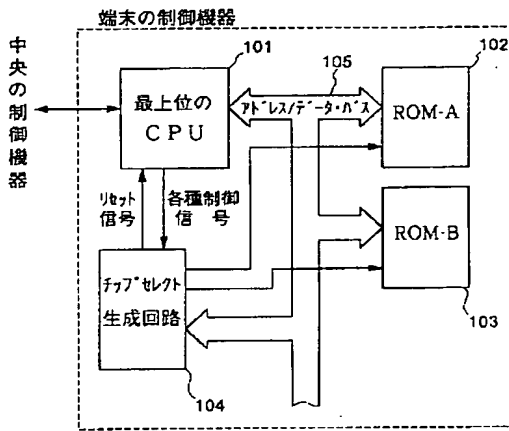
【符号の説明】

- 1 ローカルのCPU
- 2 ローカルCPUのROM1
- 3 ローカルCPUのROM2
- 4 最上位のCPU
- 5 アドレス/データバス
- 6 ゲート
- 7 最上位のCPUのPROM
- 8 セクタ
- 101 最上位のCPU
- 102 ROM-A
- 103 ROM-B
- 104 チップセレクト生成回路
- 105 アドレス/データバス
- 201 AND回路
- 202 AND回路
- 203 AND回路
- 204 AND回路
- 205 フリップフロップ
- 206 NAND回路
- 207 タイマ
- 208 NOR回路
- 209 NOR回路

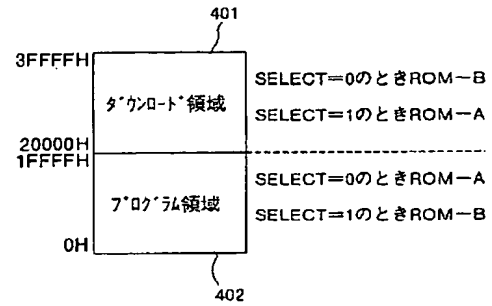
【図3】



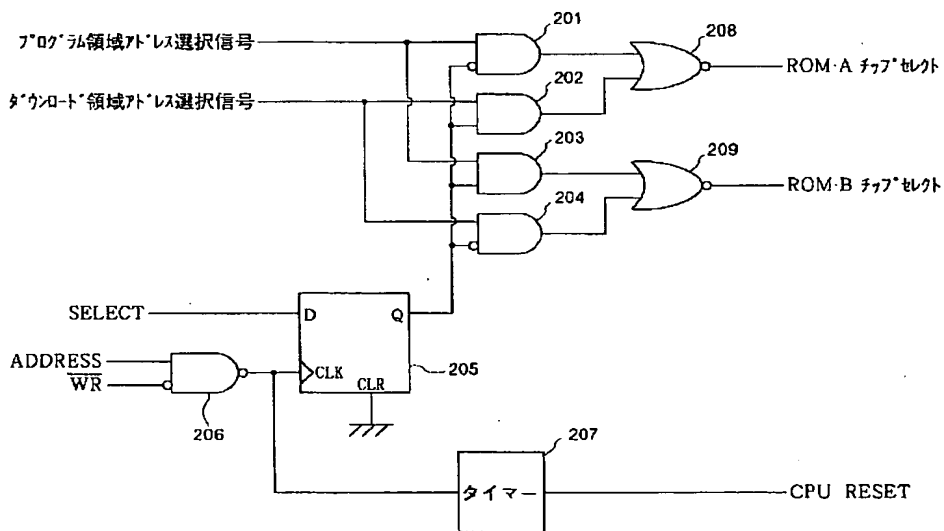
【図1】



【図4】



【図2】



【図5】

